

文章编号: 2095-2163(2021)08-0092-06

中图分类号: TN46

文献标志码: B

基于 40 nm CMOS 工艺的电荷泵锁相环设计

路 哲¹, 马 奎^{1,2}, 唐重林³, 杨发顺^{1,2}, 梁 蓓^{1,2}

(1 贵州大学 大数据与信息工程学院, 贵阳 550025; 2 贵州省微纳电子与软件技术重点实验室, 贵阳 550025;

3 牛芯半导体(深圳)有限公司上海第一分公司, 上海 201210)

摘要: 本文基于 SMIC 40 nm CMOS 工艺, 设计了一款输入频率范围 25~200 MHz, 输出频率范围 2.4~4 GHz 的电荷泵锁相环(CPPLL)。介绍了电荷泵锁相环的整体电路框架, 叙述了各子模块电路的设计、仿真验证与整体电路的设计与仿真验证, 重点介绍压控振荡器的设计与仿真优化。版图后仿真结果表明, 电荷泵电流失配在直流情况下达到 0.3%@0.4~1.3 V; 压控振荡器的输出频率范围为 0.3~4 GHz, 在输出频率 1 MHz 时相位噪声为 -93.4 dB@1 MHz, 锁定时间为 1 μ s, 绝对抖动为 1 ps, 典型值时的功耗为 30 mW, 面积为 300 \times 300 μ m。

关键词: 锁相环; 相位噪声; 抖动; 鉴频鉴相器; 低通滤波器; 压控振荡

Design of charge pump phase-locked Loop based on 40 nm CMOS process

LU Zhe¹, MA Kui^{1,2}, TANG Zhonglin³, YANG Fashun^{1,2}, LIANG Bei^{1,2}

(1 School of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China;

2 Guizhou Key Laboratory of Micro/Nano Electronics and Software Technology, Guiyang 550025, China;

3 Shanghai First Branch, Newcore Semiconductor (Shenzhen) Co., LTD., Shanghai 201210, China)

[Abstract] Based on THE SMIC 40nm CMOS process, a charge pump phase locked loop (CPPLL) with input frequency range of 25 MHz~200 MHz and output frequency range of 2.4 ghz~4 GHz is designed. This paper introduces the overall circuit frame of charge pump phase-locked loop, describes the design and simulation verification of each sub-module circuit and the overall circuit design and simulation verification, and focuses on the design and simulation optimization of vCO. The simulation results show that the loss distribution of charge pump reaches 0.3%@0.4~1.3 V under dc condition. The output frequency range of vCO is 300 MHz~4 GHz, the phase noise is -93.4 dB@1 MHz at the output frequency of 1 MHz, the locking time is 1 μ s, the absolute jitter is 1 ps, the power consumption is 30 mW at the typical value, the area is 300 μ m \times 300 μ m.

[Key words] phase-locked loop; phase noise; jitter; frequency phase discriminator; low-pass filter; voltage-controlled oscillator

0 引言

如今, 高速数据传输系统已成为各大研究机构、高校、企业研究的焦点^[1]。高速 SERDES 接口芯片作为高速数据传输系统的一部分, 主要包括 3 部分: 发送端(transmitters, TX)、接收端(receive, RX)以及锁相环(Phase Locked Loop, PLL)。锁相环负责 SERDES 各个模块所需要的时钟信号, 并管理这些时钟之间的相位关系^[2]。SERDES 的一个重要性能指标是抖动(jitter), 因为抖动直接和误码率(BER)相关^[3]。锁相环的相位噪声是 SERDES 抖动的重要来源。也可以说锁相环的相位噪声性能决定着 SERDES 的误码率水平。

本文设计的锁相环主要应用于 SERDES 接口芯片中, 因此对锁相环进行噪声的研究与分析尤为重要。要保证 SERDES 内部系统工作时信号传输的稳

度与精度, 就要求锁相环的输出信号时钟稳定, 尽量减少噪声干扰, 降低输出信号的抖动^[4]。因此需要设计出一种低噪声锁相环, 以满足 SERDES 对时钟信号低误码率的要求。

为了尽可能减小面积, 且优化输出噪声, 一般采用三阶锁相环, 即 LPF 内部为二阶。这样既节省了面积又滤除了频带内的高频噪声, 达到低噪声、低抖动的目的。为了扩大锁相环的输入输出频率范围, 最有效的方法是增加输入输出分频器^[5]。本文的 CPPLL 包含 3 个分频器, 在不含输入输出分频器的情况下, 本文的输入范围为 25~200 MHz, 输出范围 2.4~4 GHz。根据不同规格与需求, 通过增减分频器来达到所需的频率范围。为了减小面积与输出抖动, 振荡器采用环形振荡器(ring vco)。为了简化电路, 延迟单元采用负阻结构。通过优化参数以达到降低振荡器噪声, 从而降低锁相环整体噪声的目的。

作者简介: 路 哲(1994-), 男, 硕士研究生, 主要研究方向: 集成电路设计。

通讯作者: 梁 蓓 Email: liangbei31@163.com

收稿日期: 2021-05-25

1 电荷泵锁相环的整体结构

如图 1 所示, 电荷泵锁相环 (CPPLL) 由鉴频鉴相器 (PFD)、电荷泵 (CP)、环路滤波器 (LPF)、压控振荡器 (VCO)、分频器 (Divider) 等模块构成。

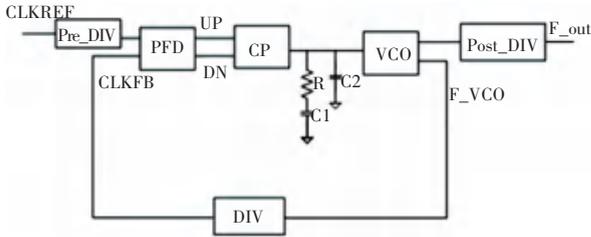


图 1 CPPLL 结构示意图

Fig. 1 CPPLL structure diagram

工作原理分析如下:

首先给锁相环的鉴频鉴相器提供一个参考输入信号, 此信号和通过环路分频器后的反馈信号相比较, 输出一个和两者相位差成正比的电压信号。该电压信号控制后级电荷泵电路中开关的打开或者关断状态, 电荷泵把输入的电压信号转换为输出电流信号。该电流信号会通过环路滤波器中电容的充放电机制, 将电流信号再转换为电压信号。这时的电压通过控制压控振荡器的振荡频率, 实现锁相环输出频率的调节。锁相环的输出频率通过分频器后, 再将反馈频率和输入参考频率进行比较, 重复上述过程, 直到输入参考频率和环路反馈频率同频同相, 这时称锁相环锁定。

2 锁相环模块电路设计与仿真

CPPLL 是数模混合类电路, 其中分频器、鉴频鉴相器属于数字模块, 而电荷泵、低通滤波器、压控振荡器则属于模拟模块。

2.1 鉴频鉴相器 (PFD)

本文所采用的 PFD 为常用的可以减小“死区”效应功能的鉴频鉴相器。“死区”是指锁定之后, UP/DN 信号没有输出。此问题, 一般采用图 2 的结构形式来解决。

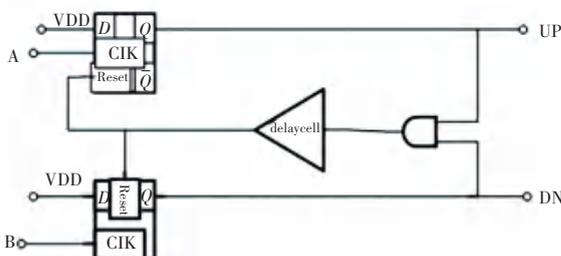


图 2 减小死区效应电路示意图

Fig. 2 Schematic diagram of reducing dead zone effect circuit

图中: A 为 Fref 时钟信号, B 为 Fbk 反馈时钟信号。经过 DFF, 产生一个 RESET 信号, 将 DFF 重置, 使得每隔一个周期, DFF 将至少输出一个脉冲信号, 脉冲宽度取决于 RESET 的延迟时间^[6]。设计中, 加入一个延迟单元来减小死区, 可以通过增减延迟单元来控制脉冲宽度。

PFD 死区时间仿真结果如图 3 所示, 仿真验证得到鉴频鉴相器的死区时间, 在典型工艺角下只有 180 ps。

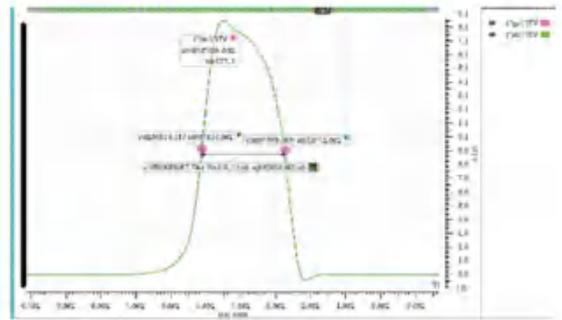


图 3 鉴频鉴相器的死区时间

Fig. 3 Dead time of the frequency discriminator

2.2 电荷泵 (CP)

本文采用的电荷泵如图 4 所示。

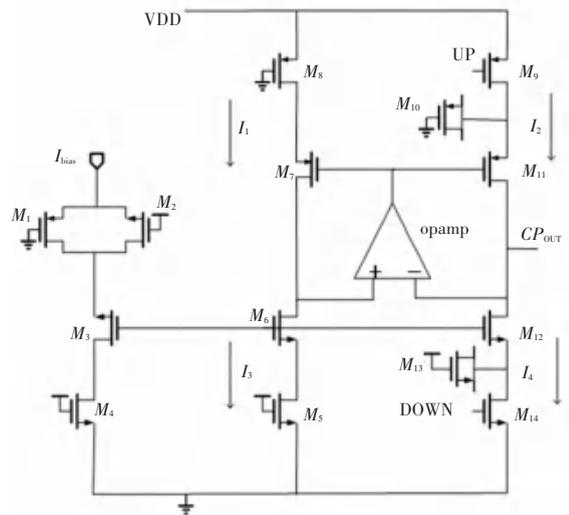


图 4 电荷泵电路原理图

Fig. 4 Schematic diagram of charge pump circuit

在图 4 中, 电流镜采用了可以大大的增加输出阻抗共源共栅结构 (M_5, M_8 与 M_9, M_{14}), 增加电流匹配性, 可以减小由于沟道长度调制效应带来的误差。由于使用了运算放大器, 使得 M_6 的漏端电压被钳位, M_6 的漏端电压近似等于 M_{12} 的漏端电压。如果电流源对应的晶体管的尺寸相等, 则有 $I_3 = I_4$, 又因为 $I_1 = I_3$, 且 $I_1 = I_2$, 所以 $I_2 = I_4$ 。电路中通过多

种方法来提高电流匹配性,因此电流匹配性很高,静态电流匹配可以达到 99%以上,动态电流匹配也可以达到 90%以上。另外,本结构在电流镜像管和开关管之间采用并联 MOS 电容,来防止电荷泄露和时钟馈通^[7]效应,以进一步减小电流失配和电荷杂散等不利因素,提高电流的匹配。电荷泵电流不匹配的瞬态仿真波形如图 5 所示。

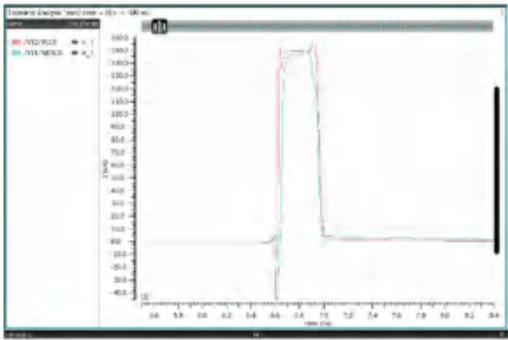


图 5 电荷泵电流不匹配的瞬态仿真波形

Fig. 5 Transient simulation waveform of charge pump current mismatch

仿真结果表明:在全工艺角条件下,电荷泵电流的瞬态失配小于 7%。

2.3 压控振荡器(VCO)

压控振荡器通常采用单端延迟单元,但这种结构电源抖动会对其产生较大干扰。为了抑制电源噪声,本文使用的差分结构的环形振荡器,由 3 个延迟单元组成。差分结构 VCO 的另外一个好处是,可以由任意级数的延迟单元构成,而传统的单端输出的延迟单元则只能使用奇数级来产生振荡^[8]。

本文压控振荡器的控制电压相较于文献^[9]采用的 V2I 结构,使用了超低阈值的 native MOS 管来进行优化,使压控振荡器可以工作在 VCNTL 电压很低的情况下控制频率,理想情况下可以达到 0 附近。在电路设计中, M_2 管采用大尺寸沟道长度和沟道宽度,达到减小相位噪声的目的。压控振荡器的电路框图如图 6 所示,其工作原理如下:

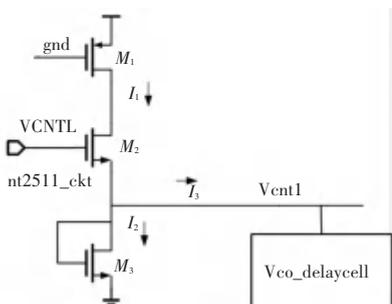


图 6 压控振荡器的电路框图

Fig. 6 Circuit block diagram of voltage controlled oscillator

首先 VCNTL 开启 M_2 , 同时 M_1 、 M_3 自启动打开,形成一个总电流 I_1 。当 VCNTL 变化时,总电流 I_1 发生变化,同时 I_2 基本不变,所以 I_1 的变化量全部都转化为 I_3 的变化量。即转化为延迟电路的电流变化。通过延迟电路电流的变化,可以改变电路的延迟时间^[5]。电路的延迟与压控振荡器的振荡频率直接相关,即可改变压控振荡器的频率,达到电压控制频率的目的。VCO 的调谐曲线如图 7 所示。

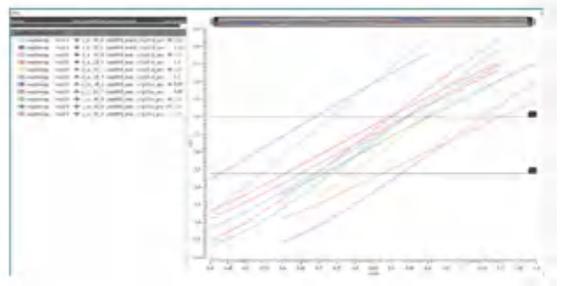


图 7 VCO 的调谐曲线

Fig. 7 Tuning curve of VCO

根据图 8 的仿真结果表明:在偏离中心频率 1 MHz 处的相位噪声为 -91.8 dBc/Hz。

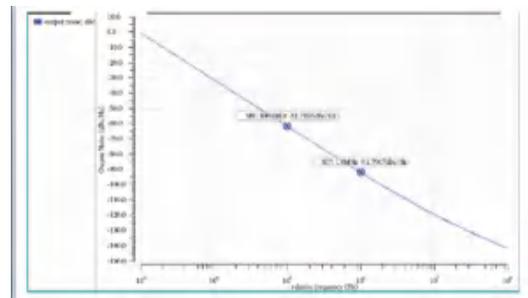


图 8 压控振荡器相位噪声仿真波形

Fig. 8 Voltage-controlled oscillator phase noise simulation waveform

2.4 低通滤波器(LPF)

滤波器是整个 PLL 环路中非常重要的组成部分。环路的稳定性、带宽等多项指标与低通滤波器密切相关。整个 PLL 环路的开环传递函数可以表示为:

$$H(S) = \frac{K_{PFD,CP} * H_{LPF}(S)}{N} * \frac{K_{VCO}}{S},$$

其中, $k_{PFD,CP}$ 为 PFD 和 CP 的增益乘积; H_{LPF} 为 LPF 的传递函数; N 为环路分频器的分频比; k_{VCO} 为 VCO 的增益。将表达式代入之后可以得到开环增益为:

$$H(s) = \frac{I_{cp} * H_{LPF}(s) * K_{VCO}}{Ns},$$

显然,当 $S = w_n$ 时, $H(S) = 1$, 此时的 w_n 称为环

路带宽。

LPF 采用无源形式, 结构如图 9 所示。

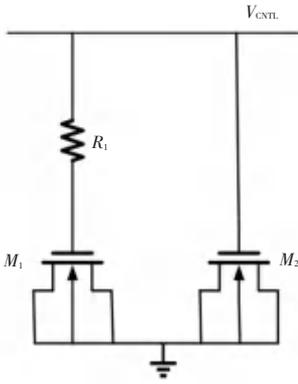


图 9 低通滤波器电路结构图

Fig. 9 Low-pass filter circuit structure diagram

其传递函数可以表示为:

$$H_{LPF}(S) = (R_1 + \frac{1}{sC_1}) // \frac{1}{sC_2} = \frac{sR_1C_1 + 1}{s^2R_1C_1C_2 + s(C_1 + C_2)}$$

$$\text{令 } K_{LPF} = \frac{C_1R_1}{C_1 + C_2}; W_Z = \frac{1}{R_1C_1}; W_P = \frac{C_1 + C_2}{R_1C_1C_2}$$

可得:

$$H_{LPF}(S) = K_{LPF} * \frac{S + W_Z}{\frac{1}{W_P}S^2 + S}, W_Z = W_P \frac{C_2}{C_1 + C_2}$$

系统的相位裕度为:

$$PM = \tan^{-1}(\frac{W_n}{W_Z}) - \tan^{-1}(\frac{W_n}{W_P})$$

对 w_n 求偏导, 令其等于 0 可得:

$$w_n = \sqrt{W_P W_Z}$$

$$\text{令 } Y = \frac{w_n}{W_Z} = \frac{W_P}{w_n}, \text{ 当相位裕度在 } 55^\circ \sim 60^\circ \text{ 时,}$$

$$3 < Y < 4。$$

带入 $H(S) = 1$, 通过解方程可以得到 LPF 各变量:

$$R_1 = \frac{W_n N}{I_{CP} K_{VCO} (1 - \frac{1}{Y^2})}$$

$$C_1 = \frac{1}{R_P W_Z}$$

$$C_2 = \frac{C_1}{Y^2 - 1}$$

本文综合锁相环电路的稳定性、面积和具体应用环境, 滤波采用无源二阶低通滤波器。电阻选用多晶硅电阻, 该类电阻在电路设计中用途很多且精度也较高。在电容的选用中, MIM 电容虽然精度较

高但占用的版图面积过大。所以采用工作于强反型状态 NMOS 管的 MOS 电容^[10]。其在版图中所占用的面积可以大大减小, 且精度也较高。

图 9 为本文所设计的二阶环路滤波器的电路图。其中 M_1 管和 M_2 管分别代表电容 C_1 和 C_2 。在只有一个电容 C_1 的情况下系统不够稳定, 加入 R_1 在环路中引入一个零点, 用来提高系统的相位裕度, 使系统稳定。引入电容 C_2 来抑制控制电压上的跳动^[11]。

3 系统仿真结果

本文采用 SMIC 40nm CMOS 工艺, 对所设计的锁相环电路进行了仿真验证。主要验证压控振荡器控制电压纹波和抖动眼图, 以及锁相环抖动眼图。

在 TT_65_NV 下, 输入频率为 $F_{in} = 100 \text{ MHz}$ 、电荷泵电流 $I_{CP} = 150 \text{ uA}$ 、低通滤波器电阻 $R = 1.5 \text{ kohm}$ 、电容 $C_1 = 200 \text{ p}$ 、 $C_2 = 10 \text{ p}$ 、分频器的分频比 $\text{DIV_FB} = 40$ 。控振荡器的输出频率 $F_{vco} = 4 \text{ GHz}$, 经后置分频器的输出 $F_{out} = 500 \text{ MHz}$ 。

由图 10 可知, 压控振荡器上的电压纹波为 $810 \mu\text{V}$ (小于 1 mV)。压控振荡器输出波形的抖动眼图如图 11 所示。

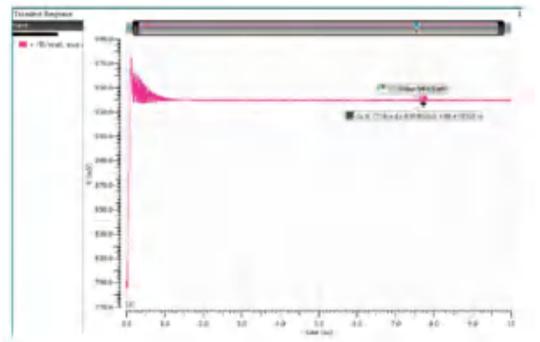


图 10 压控振荡器控制电压上的纹波

Fig. 10 Ripple on the voltage controlled oscillator control voltage

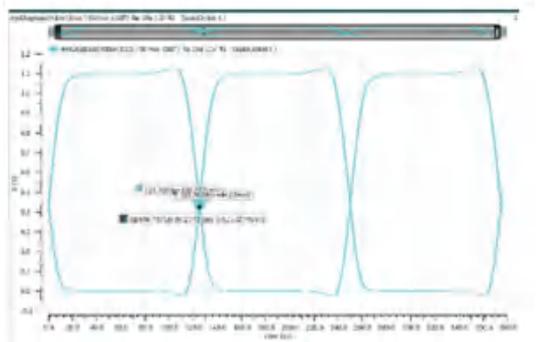


图 11 压控振荡器输出波形的眼图

Fig. 11 Eye diagram of the output waveform of the voltage-controlled oscillator

由图 11 可知,此压控振荡器输出波形眼图的抖动为 0.66 ps。锁相环输出波形的眼图如图 12 所示。

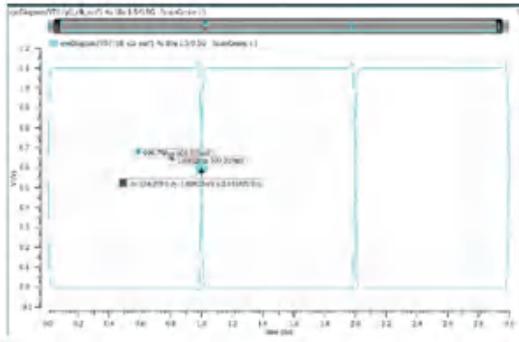


图 12 锁相环输出波形的眼图

Fig. 12 The eye diagram of the output waveform of the phase-locked loop

锁相环总的抖动为各模块单独抖动的加权和。从图 12 可以看出,锁相环总的输出波形眼图的抖动为 0.53 ps。满足在典型情况下锁相环低抖动的性能要求。

4 版图与后仿真

电路基于 SMIC 40 nm 工艺,其版图使用 Cadence 公司的版图工具 Virtuoso 进行设计。使用 Calibre 进行 DRC 和 LVS 验证,提取寄生参数进行后仿真验证^[12]。锁相环整体版图如图 13 所示,芯片尺寸为 0.4×0.45 mm。图 14 和图 15 分别为压控振荡器的输出电压杂散仿真和锁相环的抖动眼图仿真结果。从仿真结果中可以看出压控振荡器的输出电压杂散小于 1 mV,锁相环的绝对抖动小于 1 ps。

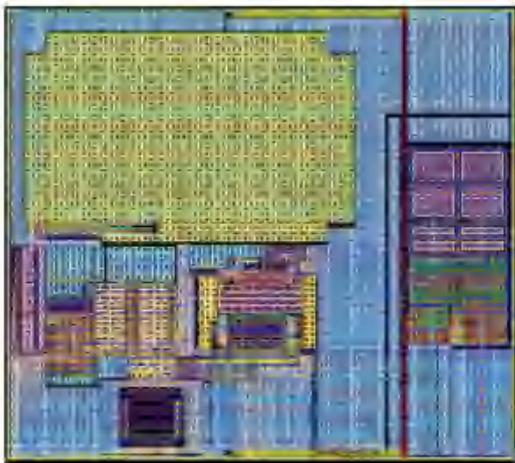


图 13 锁相环整体版图

Fig. 13 The overall layout of the phase-locked loop

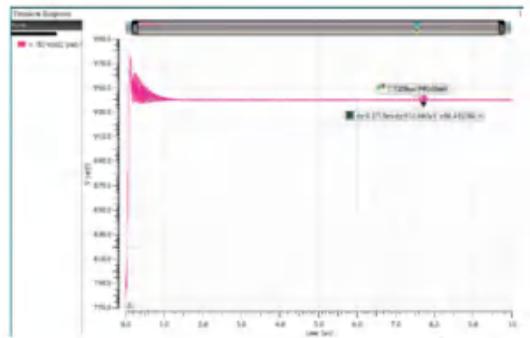


图 14 压控振荡器的输出电压杂散仿真结果

Fig. 14 The output voltage spur simulation results of the voltage-controlled oscillator

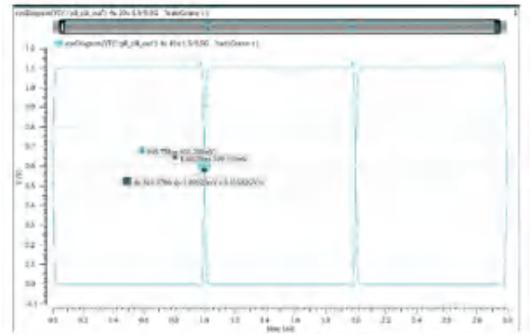


图 15 锁相环的眼图仿真结果

Fig. 15 Eye diagram simulation results of the phase-locked loop

5 结束语

本文基于 SMIC 40 nm 工艺,通过对压控振荡器的控制电压方式进行改进,简化了压控振荡器电路,优化了 VCO 的相位噪声。

完成了锁相环各模块电路的结构和参数设计以及版图设计,提取寄生参数并进行了后仿真。由仿真结果显示,本文所设计的锁相环的锁定时间小于 2 μs,抖动小于 1 ps,功耗小于 20 mW。

参考文献

- [1] ROLAND E B. Phase-Locked Loops Design [M]. Simulation and Applications. 5th edition. 清华大学出版社,2003:1-18.
- [2] 宋辉英. 一种电荷泵型低抖动锁相环电路设计[J]. 中国集成电路,2019,28(7):29-34.
- [3] 祝军. 基于 40nm CMOS 工艺的 1.5-3.0GHz 电荷泵锁相环的设计[D]. 合肥:中国科学技术大学,2016.
- [4] 崔文婷. 一种低噪声 CMOS 电荷泵锁相环的研究与设计[D]. 哈尔滨:哈尔滨工业大学,2017.
- [5] ZHAO Yunrui, CHEN Zhiming, LIU Zicheng, et al. A 4.1 GHz-9.2 GHz Programmable Frequency Divider for Ka Band PLL Frequency Synthesizer[J]. Electronics, 2020, 9(11).
- [6] 刘清波. 0.18 μm CMOS 压控振荡器研究与设计[D]. 长沙:湖南大学,2010.
- [7] 王程程. 一种用于电荷泵锁相环的电荷泵[J]. 数字技术与应用, 2019, 37(1):158-159.

(下转第 102 页)